



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Übersetzung der
europäischen Patentschrift

②7 EP 0 264 691 B1

⑩ DE 37 86 741 T 2

⑤1 Int. Cl.⁵:
G 05 F 1/46
H 03 K 19/003

②1	Deutsches Aktenzeichen:	37 86 741.5
②6	Europäisches Aktenzeichen:	87 114 416.8
②6	Europäischer Anmeldetag:	2. 10. 87
②7	Erstveröffentlichung durch das EPA:	27. 4. 88
②7	Veröffentlichungstag der Patenterteilung beim EPA:	28. 7. 93
④7	Veröffentlichungstag im Patentblatt:	11. 11. 93

DE 37 86 741 T 2

③0 Unionspriorität: ③2 ③3 ③1
23.10.86 US 922389

⑦3 Patentinhaber:
Abbott Laboratories, Abbott Park, Ill., US

⑦4 Vertreter:
Farago, P., Dipl.-Ing.Univ., Pat.-Anw., 80469
München

⑧4 Benannte Vertragsstaaten:
AT, BE, CH, DE, ES, FR, GB, IT, LI, NL

⑦2 Erfinder:
Davis, Charles Lawrence, Flower Mound Texas
75028, US

⑤4 Digitalimpulssignalgenerator und Spannungsreglerkreis.

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patentamt inhaltlich nicht geprüft.

DE 37 86 741 T 2

5

DIGITALIMPULSSIGNALGENERATOR UND SPANNUNGSREGLERKREIS

HINTERGRUND DER ERFINDUNG

Die Erfindung betrifft allgemein Taktsignalgeneratorschaltkreise und speziell solche Schaltkreise, in denen die
10 Taktsignale zugleich genutzt werden, um die Regelung der Versorgungsspannung zu steuern. Die Erfindung betrifft insbesondere einen Schaltkreis in welchen die von einem Taktsignalgenerator erzeugten Signale eingesetzt werden, um automatisch die Aktivierung der zur Regelung der
15 Versorgungsspannung verwendeten Lasten anzusteuern.

Viele der gegenwärtig verwendeten digitalen Logikschaltkreise benötigen für ihren Betrieb eine Quelle mehrphasiger Taktsignale. Bekanntlich bilden Oszillatoren und
20 Verzögerungsleitungen billige Generatoren für derartige Taktsignale; daher haben diese Taktsignalgeneratoren sowohl in diskreten wie auch in integrierten logischen Schaltkreisen weite Anwendung gefunden.

25 Weiter ist bekannt, daß die Schaltgeschwindigkeit derartiger Taktschaltkreise, wenn sie aus CMOS-Bauelementen wie z. B. CMOS-Invertern aufgebaut sind, in vorhersagbarer Weise mit Veränderungen der Versorgungsspannung variiert. Folglich ist erkannt worden, daß das Intervall zwischen den Taktsignalen
30 oder die Frequenz dieser Taktsignale ein Indikator der Höhe der Versorgungsspannung ist und bei konventionellen Spannungsreglern als Steuerparameter genutzt werden kann, um die Versorgungsspannung zu regeln. Siehe z.B. Hashimoto, US-PS-4,358,728.

35

Ein ähnlicher Schaltkreis, der einem Ausgangskondensator stufenweise Energieschübe liefert, wobei der Kondensator

seinerseits eine Quelle für eine geregelten Ausgangsspannung darstellt, ist von Horvat in der US-PS-3,445,752 offenbart.

- 5 Dennoch verteuern und komplizieren konventionelle Spannungsregler die Schaltkreise. Bei integrierten Schaltkreisen kommt hinzu, daß kostbarer Platz des Substratmaterials verbraucht wird, der genutzt werden könnte, um zusätzliche logische Komponenten unterzubringen.
- 10 Vielmehr, beziehen viele der gegenwärtig verwendeten miniaturisierten passiven Schaltkreise ihre Betriebsspannung von den Spannungs-Taktsignalen, die durch die extern angebrachten Steuerschaltkreise ausgegeben werden. Derartige Schaltkreise finden sich oft beispielsweise in Miniatur-
- 15 transpondersystemen, in implantierbaren medizinischen Geräten und in transportablen Datenerkennungsgeräten. Siehe US-Patente Nr. 3,859,624, Kriofsky et.al.; 4,408,608 Daly et.al., 4,533, 988 Daly et.al, und 4,196,418 Kip et.al. Schaltkreise dieser Bauart sind typischerweise so
- 20 konstruiert, daß sie mit Schwachstrom arbeiten und ein Minimum an Platz einnehmen. Daher ist es bei diesen Typen von Schaltkreisen besonders erwünscht, die von den Spannungs-Taktsignalen abgeleitete Arbeitsspannung ohne einen zusätzlichen Spannungsregler zu regeln.
- 25 Fernerhin ist eine bekannte Ausgleichsreglervorrichtung für integrierte Schaltkreise in der US-PS-4,445,083 beschrieben worden. Diese Vorrichtung schließt eine konventionelle Stromquelle ein, die ihre Versorgungsspannung verändert,
- 30 welche an einer bipolaren Gatearray-Schaltung anliegt, um eine gleichmäßige Verzögerung über der gesamten Gatearray-Schaltung zu erreichen, unabhängig von Schwankungen in Fertigungstoleranzen und Temperatur.
- 35 Daher ist eine Aufgabe der Erfindung, einen Taktsignalgeneratorschaltkreis zu schaffen, der mehrphasige Taktsignale erzeugt, und gleichzeitig die Betriebsspannung oder

Versorgungsspannung des Schaltkreises regelt.

5 Eine andere Aufgabe der Erfindung ist, solch einen Schaltkreis zu schaffen, der die Betriebsspannung regelt, ohne einen konventionellen Spannungsregler zu benötigen, oder der auch zusammen mit einem solchen Regler verwendet werden kann, um eine zusätzliche Spannungsregelung zu erreichen.

10 Eine weitere Aufgabe der Erfindung ist, einen Schaltkreis zu schaffen, der einfach, aber flexibel in Entwurf, Konstruktion und Funktion ist und der vorteilhaft und billig in Form eines integrierten Schaltkreises hergestellt werden kann.

15 Die oben genannten Aufgaben und weitere Aufgaben der Erfindung, die im folgenden verdeutlicht werden, sind durch einen digitalen Taktsignalgenerator und Spannungsregelkreis verwirklicht, wie er in den Patentansprüchen definiert ist.

20 Nach einem Aspekt der Erfindung breitet der Taktsignalgenerator ein Signal mit einer Taktrate aus, die mit dem Pegel seiner Versorgungsspannung zusammenhängt, um mindestens ein Taktsignal zu erzeugen. Wenn dieses Verhältnis unter einem vorgegebenen Minimalwert liegt, werden Gatter aktiviert, die die Versorgungsspannung selektiv beeinflussen, und sie somit
25 regeln.

30 Gemäß einem anderen Aspekt der Erfindung propagiert eine Verzögerungsleitung Signale, um mindestens ein Taktsignal zu erzeugen. Eine Vielzahl von Gattern, deren Eingänge mit ausgewählten Stufen der Verzögerungsleitung verbunden sind, erhält ausgewählte Taktsignale. Wenn die Signale sich überlappen, werden die Gatter aktiviert, und die mit ihnen verbundenen Lasteinrichtungen laden die Versorgungsspannung auf, um sie zu regeln.

35 Nach einem weiteren Aspekt der Erfindung propagiert ein Schaltkreis kontinuierlich ein Signal, um mindestens ein

Taktsignal zu erzeugen. Der Schaltkreis ist so angelegt und konstruiert, daß er Strom in einem annähernd quadratischen Verhältnis zur Erhöhung seiner Versorgungsspannung verbraucht, um die Spannung zu regeln.

5

KURZE BESCHREIBUNG DER ZEICHNUNG

Die neuen Merkmale, die für Erfindung kennzeichnend sind, sind in den nachstehenden Patentansprüchen aufgezählt. Die Erfindung wird am besten durch Bezugnahme auf die folgende detaillierte Beschreibung der verschiedenen Schaltkreise verstanden, welche bevorzugte Ausführungsformen dieser Erfindung bilden, in Verbindung mit der Zeichnung, in der:

15

FIG. 1 ein Blockdiagramm ist, das die bevorzugte Verwendungsweise des Taktsignalgenerators mit Verzögerungsleitung und Spannungsregler darstellt, welche die Erfindung verkörpern;

20

FIG. 2 ein schematisches Diagramm ist, das die Einzelelemente eines Verzögerungsleitung-Taktsignalgenerators und einen Spannungsregler des ersten Grades darstellt, welche einer bevorzugten Ausführungsform der Erfindung

25

FIG. 3 ein schematisches Diagramm ist, das die Einzelelemente eines Verzögerungsleitung-Taktsignalgenerators und einen Spannungsregler des zweiten Grades darstellt, welche einer anderen bevorzugten Ausführungsform der Erfindung

30

FIG. 4 ein schematisches Diagramm ist, das die Einzelelemente eines Verzögerungsleitung-Taktsignalgenerators und einen Spannungsregler des dritten Grades darstellt, welche ebenfalls einer anderen bevorzugten Ausführungsform der Erfindung

35

FIG. 5 ein schematisches Diagramm ist, das die Einzelelemente eines Verzögerungsleitung-Taktsignalgenerators und den Spannungsregler des ersten Grades darstellt, der erfindungsgemäß modifiziert wurde, um Signale zu löschen, die das "Hinterteil" der Verzögerungsleitung passieren, wenn ein Impuls im "Kopf" der Verzögerungsleitung empfangen wird; und

FIG. 6 ein schematisches Diagramm eines Oszillators einer alternativen Ausführungsform der Erfindung ist.

AUSFÜHRLICHE BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORM DER ERFINDUNG

Unter Bezugnahme auf die Zeichnungen, stellt FIG. 1 die bevorzugte Form der Erfindung allgemein dar, die allgemein einen Taktsignalgenerator enthält, wie z.B. eine Verzögerungsleitung 5 und einen damit verbundenen Verzögerungsleitungsdekoder und Spannungsregler 6, der die generierten Taktsignale empfängt und auf sie reagiert. In der vorliegenden bevorzugten Ausführungsform der Erfindung sind die Verzögerungsleitung 5 und der Spannungsregler 6 mit einem Signaldetektor- und Stromquellenschaltkreis 2 sowie verschiedenen Logik-Schaltkreisen in einem integrierten Schaltkreis (IC) angebracht. Der integrierte Schaltkreis ist auf übliche Weise unter Anwendung von konventionellen CMOS-Technologien hergestellt, wie sie Fachleuten geläufig sind.

In einer bevorzugten Ausführungsform erhält der IC seine Betriebsspannung von einem externen Steuerlogikschaltkreis 7, der eine eigene Energieversorgung besitzt. In dieser Ausführungsform enthält der Steuerlogikschaltkreis 7 konventionelle Schaltungen, um ein Spannungs-Taktsignal V_{IN} zu erzeugen und dieses an einen Ausgang 8 zu übertragen. Das Spannungs-Taktsignal V_{IN} besteht aus einem Trägersignal, das mit digitalen Pulsen moduliert ist, die vorgegebene

Nominalfrequenz, Amplitude und Arbeitszyklus aufweisen. Eine derartige Steuerlogikschaltung ist üblich und bildet keinen Bestandteil der vorliegenden Erfindung. Siehe zum Beispiel die Schaltkreise, die in den oben angeführten verschiedenen US-Patenten beschrieben sind.

Das Spannungs-Taktsignal V_{IN} bildet den Eingang für den integrierten Schaltkreis an einer Signaleingangsklemme 8a. Der Ausgang 8 des Steuerlogikschaltkreises 7 und die Signaleingangsklemme 8a des integrierten Schaltkreises (IC) sind vorzugsweise durch eine induktive Kopplung isoliert, obwohl auch eine kapazitive Kopplung, eine Widerstandskopplung oder eine optische Kopplung verwendet werden können. Unabhängig davon, welche Kopplung gewählt wird, sollte sie im Vergleich zu dem Eingangswiderstand des integrierten Schaltkreises eine relativ hohe Widerstandskomponente haben. Im Fall einer induktiven Kopplung wird beispielsweise eine Kopplung mit geringem Wirkungsgrad bevorzugt.

Der Signaleingang 8a ist mit einem Eingang des Signal-detektor- und Stromquellenschaltkreises 2 verbunden. Der Signal-detektor- und Stromquellenschaltkreis 2 detektiert die Digitalpulse des modulierten Trägers auf und gibt seriell entsprechende digitale Pulse auf die Leitung 3. Gleichzeitig leitet er von dem modulierten Träger eine Versorgungs- oder Betriebsspannung V_{REG} ab, die zu den Versorgungseingängen der Verzögerungsleitung 5, zu dem Spannungsregler 6 und zu den verschiedenen Logikschaltkreisen 4 auf der Leitung 1 geleitet wird. Der Signaldetektor- und Stromquellenschaltkreis ist ein konventioneller Schaltkreis, der den Fachleuten bekannt ist. Eine Ausführungsform dieses Schaltkreises, die in der vorliegenden Erfindung bevorzugt verwendet wird, ist in den mit-anhängigen US-Patentanmeldungen mit der laufenden Nummer 818,469, angemeldet am 13. Januar 1986, beschrieben und dargestellt.

Die Verzögerungsleitung 5 erhält die digitalen Pulse auf Leitung 3 und erzeugt daraus mehrphasige Taktsignale. Diese werden von den verschiedenen Logikschaltkreisen 4 empfangen und zur Ausführung ihrer jeweiligen logischen Funktionen genutzt. Die Taktsignale werden auch vom Spannungsregler 6 empfangen, der sie dekodiert und, falls erforderlich, die Betriebsspannung V_{REG} in einer festgelegten Last auflädt, um sie zu regeln und auf einen vorherbestimmten Nominalwert zu reduzieren. Die Verzögerungsleitung kann ebenfalls eines der digitalen Taktsignale über eine Signalausgangsklemme 9a an einen Eingang 9 des Steuerlogikschaltkreises 7 ausgeben. Der Ausgang 9a und der Eingang 9 sind vorzugsweise in der oben beschriebenen Weise isoliert. Vorzugsweise können dabei das digitale Taktsignal auf den Leitungen 9 und 9a und das Spannungs-Taktsignal auf den Leitungen 8 und 8a dieselben Isolationsmittel teilen. Der Steuerlogikschaltkreis 7 kann die Verzögerung zwischen den Ausgangspulsen auf der Leitung 8 und den Taktsignalen auf dem Eingang 9 als Indikator der Betriebsspannung V_{REG} verwenden und diese Daten nutzen, um eine zusätzliche Regelung durch die Veränderung der Breite der kodierten digitalen Pulse oder der Amplitude des Spannungs-Taktsignals V_{IN} am Ausgang 8 vorzunehmen. Der Steuerlogikschaltkreis 7 kann ebenfalls die Signale auf Leitung 9 nutzen, um die Frequenz der kodierten digitalen Pulse an Ausgang 8 zu regeln.

FIG. 2 stellt schematisch einen Verzögerungsleitung-Taktsignalgenerator und einen Spannungsregler des ersten Grades dar, der eine bevorzugte Ausführungsform der Erfindung bildet. Die Verzögerungsleitung 5 enthält die seriell verbundenen CMOS-Inverter 10-60, von denen aus Platzgründen nicht alle in der Zeichnung dargestellt sind. Die Verzögerungsleitung 5 erzeugt mehrphasige Taktsignale. Repräsentativ für diese Signale sind T1, T5, T8, T10 und T15 an den Ausgängen der Inverter 10, 14, 17, 19 und 24, von denen jedes Signal eine unterschiedliche Phase aufweist.

Die Gatter 61-102 einschließlich und die Widerstände 103-144 einschließlich enthalten die erste Stufe des Spannungsreglers 6. Jedes Gatter 61-102 hat einen korrespondierenden Widerstand 103-144, der jeweils zwischen seiner Ausgangsklemme und Masse verbunden ist. Die Eingänge der Gatter 61-102 sind in einer solchen Weise mit der Verzögerungsleitung 5 verbunden, daß sie über ihre ganze Länge verteilt und sequentiell aktiviert werden. Die Eingänge sind weiter in einer solchen Weise mit der Verzögerungsleitung verbunden, daß die Eingangssignale an jedem Gatter die gleiche relative Verzögerung haben, so daß alle Gatter auf dem gleichen Pegel der Versorgungs- oder Betriebsspannung aktiviert und deaktiviert werden.

Dementsprechend ist ein Eingang des UND-Gatters 61 mit dem Eingang 3 der Verzögerungsleitung 5 am Eingang des Inverters 10 verbunden. Der andere Eingang des UND-Gatters 61 ist mit dem Ausgang des Inverters 19 verbunden. Die Eingänge des NOR-Gatters 62 sind jeweils mit den Ausgängen der Inverter 10 und 20 verbunden. Die Eingänge des UND-Gatters 63 sind jeweils mit den Ausgängen der Inverter 11 und 21 verbunden. Die Eingänge des NOR-Gatters 64 sind mit den Ausgängen der Inverter 12 und 22 verbunden und so weiter bis zu den Eingängen des letzten UND-Gatters 101, die mit den Ausgängen der Inverter 49 und 59 verbunden sind, und zu den Eingängen des letzten NOR-Gatters 102, die mit den Ausgängen der Inverter 50 und 60 verbunden sind.

Von der vorstehenden Ausführungen geht hervor, daß es zwischen den Eingangssignalen für jedes Gatter eine relative Verzögerung von zehn (10) Invertern gibt. Es ist weiter klar, daß die Eingänge an den Gattern 61-102 über die Länge der Verzögerungsleitung 5 verteilt werden, so daß jedes Eingangssignal an jedem Gatter, mit Ausnahme von Gatter 10, durch einen Inverter im Bezug auf das korrespondierende Eingangssignal an dem vorhergehenden Gatter verzögert wird.

In dieser Ausführungsform der Erfindung sind die mit den ungeraden Stufen der Verzögerungsleitung 5 verbundenen Gatter, d.h. 62, 64, 66, 68 usw. bis Gatter 102, NOR-Gatter, während die mit den geraden Stufen der Verzögerungsleitung 5 verbundenen Gatter, d.h. 61, 63, 65, 67 usw. bis Gatter 101, UND-Gatter sind.

Vorzugsweise sollte sich zu jeder gegebenen Zeit nur ein digitaler Puls durch die Verzögerungsleitung 5 ausbreiten. Andererseits sollte es aber ein Minimum an Verzögerung zwischen den aufeinanderfolgenden Pulsen geben, die sich durch die Verzögerungsleitung 5 ausbreiten, so daß die Zeitspanne, in der die Betriebsspannung nicht geregelt ist, minimiert wird.

Diese Funktionscharakteristika werden dadurch erreicht, daß die Verzögerungsleitung 5 einer geeigneten Länge ausgewählt wird, d.h. eine Leitung die die geeignete Anzahl von Stufen aufweist, die gewünschten Nominal-Betriebsspannung, die gewünschten Nominalfrequenz und die Ausbreitungsverzögerung an jedem Gatter des jeweils aktiven Geräteteils. Fachleuten sind diese Daten aus den Unterlagen der verschiedenen Hersteller leicht zugänglich. Typische Funktionsparameter, die in der folgenden Beschreibung angenommen werden, sind wie folgt: eine nominale Pulsfrequenz von 100 kHz und eine nominale Betriebsspannung des Schaltkreises von 2,5 V. Für diese gewählte nominale Betriebsspannung ist eine typische Verzögerung eines typischen CMOS-Inverters annäherungsweise 100 nS. Entsprechend, vorausgesetzt die nominale Pulsfrequenz beträgt 100 kHz, muß die Verzögerungsleitung 5, um sicherzustellen, daß zu einer bestimmten Zeit nur ein Puls sich durch die Verzögerungsleitung 5 ausbreitet, wenigstens 51 Inverter haben, wie in den Zeichnungen dargestellt ist.

Der nominale Arbeitszyklus eines jeden kodierte digitalen Pulses ist durch die relative Verzögerungszeit zwischen den Eingangssignalen an jedem der Gatter 61-102 bestimmt.

Folglich entspricht beiden oben angeführten Nominalwerten eine Verzögerung von näherungsweise 100 nS pro Gatter und eine Verzögerung durch zehn (10) Inverter zwischen den Eingangssignalen wie in FIG. 1 dargestellt, einem digitalen Puls mit einer nominalen Dauer von 1 nS. Wenn die Amplitude des Eingangssignals V_{IN} unter ihrem Nominalwert liegt, haben geringfügige Veränderungen der Pulsbreite keine Auswirkung auf V_{REG} . Wenn das Eingangssignal V_{IN} den Nominalwert erreicht oder ihm nahe kommt, d.h. der Pegel, auf dem die Gatter 61-102 beginnen, aktiviert zu werden, reduziert eine Verlängerung der Pulsdauer V_{REG} , während eine Verkürzung keine Wirkung hat. Wenn das Eingangssignal V_{IN} seinen Nominalwert übersteigt und in dem Bereich ist, der eine Regelung erfordert, reduziert eine Zunahme der Pulsbreite V_{REG} , während eine Verringerung V_{REG} erhöht, und zwar beides annähernd linear.

Falls gewünscht wird, die nominale Pulsdauer zu verlängern oder zu verkürzen, muß die Anzahl der Verzögerungsgatter zwischen den Eingangssignalen zu den Gattern 61-102 für eine optimale Funktion entsprechend erhöht oder verringert werden, wie oben beschrieben. Eine andere Überlegung bei der Auswahl des geeigneten Arbeitszyklus ist, daß dieser die Energie beeinflusst, die dem Schaltkreis pro Zyklus zugeführt wird. Auch bewirkt ein längerer digitaler Puls mehr Steuerung und eine bessere Abstufung der Regelung der Betriebsspannung.

Die Widerstände 103-144 sind gemäß der speziellen Anwendung des erfindungsgemäßen Schaltkreises ausgewählt. Damit der Schaltkreis eine ausreichende Regelung der Betriebsspannung vornimmt, müssen die Widerstände so gewählt werden, daß der Schaltkreis die höchste Strommenge von dem mit ihm verbundenen passiven Schaltkreis beziehen kann, wenn die Gatter 61-102 aktiviert werden. Allerdings darf der Verzögerungsleitungsdekoder und Spannungsregler 6 selbstverständlich nicht so viel Strom verbrauchen, daß er

V_{IN} bis zu einem Pegel sinkt, bei dem der angeschlossene Logikschaltkreis funktionsunfähig wird. Innerhalb dieser Parameter sind die spezifischen Werte der Widerstände 103-144 gewählt worden, und zwar ausgehend von der Eingangs-
5 impedanz des angeschlossenen Schaltkreises, der Anzahl verwendeter Widerstände und der Ladungsstärke, die erforderlich ist, um die gewünschte Regelung zu erreichen. So erwiesen sich z.B. Widerstände mit einem Wert von 500-2000 Ohm als geeignet.

10 Im Betrieb wird jeder von dem Steuerlogikschaltkreis 7 ausgegebene digitale Puls, zum Eingang des Inverters 10 der Verzögerungsleitung 5 hin übertragen. Der Puls wird durch jeden Inverter invertiert und verzögert, wenn er die
15 Verzögerungsleitung 5 passiert. Die Ausgangspulse der Stufen 10-51 werden an die ersten Klemmen der entsprechenden Gatter 61-102 eingegeben. Die geraden Stufen geben positive Pulse aus, während die ungeraden Stufen invertierte Pulse ausgeben. Die Ausgangspulse der Stufen 19-60 werden an den jeweiligen
20 zweiten Klemmen der Gatter 61-102 eingegeben. Dementsprechend ist der logische "hoch" Eingangspuls für den Inverter 10 ebenfalls Eingang für eine Klemme des UND-Gatters 61. Dasselbe nicht invertierte und durch zehn Inverter verzögerte Signal erscheint am Ausgang des
25 Inverters 19 und wird mit der anderen Eingangsklemme des UND-Gatters 61 verbunden.

In gleicher Weise wird der invertierte Puls am Ausgang des Inverters 10 an eine Klemme des NOR-Gatters 62 eingegeben.
30 Derselbe invertierte und durch zehn Inverter verzögerte Puls wird vom Inverter 20 an die anderen Klemmen des NOR-Gatters 62 ausgegeben. Das Gleiche gilt für die Eingänge der übrigen Gatter 63-102.

35 Solange der Steuerlogikschaltkreis 7 fortfährt, V_{IN} mit den kodierten digitalen Pulsen bei der nominalen Frequenz, dem Arbeitszyklus und der entsprechenden Amplitude auszugeben,

die erforderlich ist, um die Betriebsspannung V_{REG} der Verzögerungslinie 5 auf ihrem Nominalwert zu halten, gibt es keine Überlappung zwischen den verzögerten und den nicht verzögerten Pulsen an den Eingangsklemmen der Gatter 61-102.

- 5 Mit anderen Worten, für die geraden Stufen gilt: bis der verzögerte logische "hoch" Puls die zweite Eingangsklemme des entsprechenden UND-Gatters erreicht, hat der unverzögerte Puls an der ersten Eingangsklemme seinen Zustand verändert, und das UND-Gatter ist nicht aktiviert.
- 10 Das gleiche Resultat ergibt sich bei den invertierten Pulsen, die von den ungeraden Stufen und den entsprechenden NOR-Gattern erzeugt werden. Im Ergebnis wird durch die Widerstände 103-144 kein Strom zur Masse geleitet.

- 15 Während sich die Amplitude des Spannungs-Taktsignals V_{IN} erhöht, das von dem Steuerlogikschaltkreis 7 ausgegeben wird, erhöht sich auch die Betriebsspannung V_{REG} und die Verzögerungszeit der Verzögerungsleitung mit den Invertern 10-60 verringert sich entsprechend. Während sich die
- 20 Betriebsspannung V_{REG} erhöht, verringert sich auch die Verzögerungszeit, bis der Punkt erreicht ist, an dem der verzögerte Puls die zweite Eingangsklemme der entsprechenden Gatter 61-102 erreicht und der unverzögerte Puls an der ersten Eingangsklemme seinen Zustand verändert hat. Mit
- 25 anderen Worten, die Pulse überlappen sich an den Eingangsklemmen der Gatter. Wenn dies eintritt, gehen die Ausgänge der Gatter 61-102 "hoch", und über die entsprechenden Widerstände 103-144 wird Strom zur Masse geleitet und auf diese Weise der Logikschaltkreis 7 mit Strom versorgt. Wenn die
- 30 Gatter 61-102 aktiviert sind, verbraucht der Spannungsregler 6 den größten Teil des Stromes, der durch die Stromversorgung des Steuerlogikschaltkreises geliefert wird. Auf diese Weise regelt der Schaltkreis, der eine Ausführungsform der Erfindung verkörpert, von sich aus die Betriebsspannung V_{REG}
- 35 und reduziert ihr Pegel.

Während sich die Amplitude des ausgegebenen Spannungs-

Taktsignals V_{IN} weiter erhöht, vergrößert sich entsprechend auch die Anzahl der Überlappungen zwischen den unverzögerten und den verzögerten Pulsen. Im Ergebnis erhöht der Regler 6 die Stromversorgung über einen steigenden Anteil jedes Pulses. Da sich zusätzlich die verzögerten und unverzögerten Pulse zunehmend überlappen, werden die aufeinanderfolgenden Gatter gleichzeitig aktiviert. Weil die Lastwiderstände, die mit den Ausgängen dieser Gatter verbunden sind, parallel geschaltet sind; der Gesamtwiderstand wird gegenüber der Betriebsspannung reduziert und die Spannung wird weiter erhöht. So ermöglicht diese Ausführungsform der Erfindung eine anhaltende Spannungsregelung als Funktion des Pegels der Betriebsspannung.

Wenn die Amplitude von V_{IN} aufhört, sich zu erhöhen, hört auch der Grad der Überlappung und der Anteil jedes Impulses, der Spannung erhält, auf sich zu erhöhen. Innerhalb dieser Gleichgewichtsbedingung befindet sich die Spannung V_{REG} leicht über ihrem Nominalwert. Wenn sich die Amplitude von V_{REG} verringert, verringern sich entsprechend auch der Grad der Überlappung und der Anteil jedes Pulses, der mit Spannung aufgeladen ist, bis an einem bestimmten Punkt am oder nahe beim Nominalwert von V_{REG} keine Überlappung zwischen den unverzögerten und den verzögerten Impulsen mehr auftritt.

Wie vorstehend bereits erwähnt, kann der Puls, der die Verzögerungsleitung 5 passiert, vom Ausgang eines Inverters auch rückgekoppelt werden, etwa vom Inverter 27 zum Eingang 9 des Steuerlogikschaltkreises 7. Der Steuerlogikschaltkreis 7 kann den Wert der Verzögerung durch die Verzögerungsleitung bestimmen, indem er das Intervall zwischen Eingangs- und Ausgangspulsen an den Leitungen 8 und 9 ermittelt, beziehungsweise einen konventionellen flankengesteuerten Zähler benutzt. Da dieses Intervall eine Funktion der Betriebsspannung V_{REG} ist, kann der Steuerlogikschaltkreis 7 die Verzögerungsinformation nutzen, um eine zusätzliche

Spannungsregelung vorzunehmen, falls dies gewünscht wird, beispielsweise indem die Breite der kodierten Pulse oder die Amplitude des ausgegebenen Signals oder beide variiert werden.

5

Da die Signale an den ersten und den zweiten Eingangsklemmen aller Gatter 61-102 die gleiche Anzahl von Verzögerungsgattern zwischen sich haben, werden alle Gatter 61-102 von dem gleichen Spannungspegel aktiviert. Da aber die Eingänge an den Gattern 61-102 über die Länge der Verzögerungsleitung 5 verteilt sind, werden die Gatter eher sequentiell als gleichzeitig aktiviert. Im Ergebnis leitet dieser Schaltkreis nicht sofort eine große Strommenge ab, wenn die Gatter 61-102 aktiviert sind, sondern lädt eher kontinuierlich die Energieversorgung auf. Eine solche Anordnung wird bevorzugt, um die Möglichkeit eines plötzlichen großen Anstiegs oder Abfalls der Energieversorgung zu minimieren.

20 FIG. 3 stellt einen Verzögerungsleitung-Taktsignalgenerator und einen Spannungsregler des zweiten Grades dar, die eine andere Ausführungsform der Erfindung verkörpern. Die Verzögerungsleitung 145 besteht aus seriell miteinander verbundenen Invertern 150-200, die in der Zeichnung von links nach rechts fortlaufend numeriert sind. Typische Taktsignale T1, T5, T8, T10 und T15 werden jeweils zu den Ausgängen der Inverter 150, 154, 157, 159 und 164 geleitet, wie in der Verzögerungsleitung 5 der FIG.1. Der Spannungsregler des zweiten Grades 146 umfaßt eine erste Ebene von Gattern 201-242 und damit verbundene Lastwiderstände 243-284, die in der Zeichnung fortlaufend von links nach rechts numeriert sind. Aus Platzgründen sind nicht alle Inverter, Gatter und Lastwiderstände der ersten Ebene in der Zeichnung dargestellt. Die Gatter 201-242, die Inverter 150-200 und die Lastwiderstände 243-284 sind identisch mit den Gattern 61-102, den Invertern 10-60 und den Lastwiderständen 103-144 der FIG.1, und sie sind in

genau der gleichen Weise untereinander verbunden, wie oben in FIG 1 beschrieben.

5 Weiter enthält der Spannungsregler des zweiten Grades 146 eine zweite Ebene von Gattern 285-324 und entsprechende Lastwiderstände 325-364, die in der Zeichnung fortlaufend von links nach rechts numeriert sind. Nicht alle Gatter und Lastwiderstände der zweiten Ebene sind in der Zeichnung aus Platzgründen dargestellt. Die Widerstände 325-364 sind je-
10 weils mit den Ausgängen der Gatter 285-324 und der Masse verbunden. Ähnlich wie in dem Regler des ersten Grades der FIG. 2 haben die Gatter 285, 287, 289 usw. bis 323 Eingänge, die mit den Ausgängen der geraden Stufen der Verzögerungsleitung 145 verbunden sind, und sie sind UND-Gatter. Die
15 Gatter 286, 288 usw. bis 324 haben Eingänge, die mit den Ausgängen der ungeraden Stufen verbunden sind, und sie sind NOR-Gatter.

20 Im Unterschied zu der Verzögerung durch zehn Gatter zwischen den Eingangssignalen für jedes der Gatter 201-242 in der ersten Ebene sind die Eingangsklemmen der Gatter 285-324 in der zweiten Ebene mit den Invertern 150-200 so verbunden, daß hier eine Verzögerung von zwölf Gattern zwischen den Eingangssignalen auftritt. So sind z.B. die Eingangsklemmen
25 des ersten Gatters 285 mit dem Eingang des Inverters 150 und mit dem Ausgang des Inverters 161 verbunden. Die Eingangsklemmen des zweiten Gatters 286 sind mit den Ausgängen der Inverter 150 und 162 verbunden. Die Eingänge des Gatters 287 sind mit den Ausgängen der Inverter 151 und 163 verbunden
30 und so fort bis zu den Eingängen des letzten Gatters 324, die mit den Ausgängen der Inverter 188 und 200 verbunden sind.

35 In dem Schaltkreis der FIG. 3 werden die Gatter 201-242 der ersten Ebene aktiviert, um die Stromversorgung des Steuerlogikschaltkreises 7 bis auf einen ersten Spannungspegel aufzuladen, welches den Nominalwert der Betriebsspannung

VREG übersteigt, wie es oben unter Bezugnahme auf den Schaltkreis der FIG. 1 beschrieben wurde. Die Gatter 285-324 der zweiten Ebene werden bei einem höheren Spannungspegel aktiviert, um eine zusätzlich anhaltende Stromversorgung zu erreichen und um jede weitere Erhöhung der Betriebsspannung VREG zu blockieren. Die Spannungspegel, welche die Aktivierung der Gatter 201-242 und 285-324 der ersten und zweiten Ebene auslösen, hängen von der gewählten nominalen Betriebsspannung, von der Verzögerungszeit der Inverter und von der Anzahl der Verzögerungsgatter zwischen den Eingangssignalen ab. Je größer die gewählte Verzögerung ist, umso höher der zur Aktivierung erforderliche Spannungspegel. In der Ausführungsform FIG. 3 gibt es z. B. nur eine Differenz von zwei Verzögerungsgattern zwischen den Eingangssignalen der ersten und der zweiten Ebene. Dementsprechend werden die Gatter 285-324 der zweiten Ebene bei einem Eingangsspannungspegel fortschreitend aktiviert, der nur wenig höher ist als der, welcher erforderlich ist, um die Gatter 201-242 der ersten Ebene zu aktivieren.

FIG. 4 zeigt einen Verzögerungsleitung-Taktsignalgenerator und einen Spannungsregler des dritten Grades, der eine weitere Ausführungsform der Erfindung verkörpert. Die Verzögerungsleitung 375 enthält seriell verbundene Inverter 400-450, die in der Zeichnung fortlaufend von links nach rechts numeriert sind. Typische Taktsignale T1, T5, T8, T10 und T15 werden auf die Ausgänge der Inverter 400, 404, 407, 409 und 414 geleitet. Die dritte Stufe des Spannungsreglers 376 enthält drei Ebenen von Gattern und die mit ihnen verbundenen Lastwiderstände, die in jeder Ebene fortlaufend von links nach rechts numeriert sind. Aus Platzgründen sind nicht alle Eingänge, Widerstände und Inverter dargestellt.

Die erste Ebene enthält die Gatter 451-492 und die mit ihnen verbundenen Lastwiderstände 493-534, die zwischen den Ausgängen der jeweiligen Gatter 451-492 und der Masse verbunden sind. Die zweite Ebene enthält die Gatter 535-574

und die Lastwiderstände 575-614, die zwischen den Ausgängen der jeweiligen Gatter 535-574 und der Masse verbunden sind. Die dritte Ebene enthält die Gatter 620-657 und die Lastwiderstände 658-695, die zwischen den Ausgängen der jeweiligen Gatter 620-657 und der Masse verbunden sind.

Die Gatter 451-492 und die Lastwiderstände 493-534 der ersten Ebene sind identisch mit den Gattern 201-242 und den Lastwiderständen 243-284 der ersten Ebene des Schaltkreises FIG. 3, und mit den Gattern 61-102 und den Lastwiderständen 103-144 des Schaltkreises der FIG. 1. Die Gatter 535-574 und die Lastwiderstände 575-614 der zweiten Ebene sind identisch mit den Gattern 285-324 und den Lastwiderständen 325-364 des Schaltkreises der FIG. 3. Die jeweiligen Gatter 451-492 und 535-574 und die Lastwiderstände 493-534 und 575-614 sind mit der Verzögerungsleitung 375 genau in der gleichen Weise verbunden, wie ihre Gegenstücke, die in den Figuren 1 und 3 beschrieben sind.

Die Gatter 620-657 der dritten Ebene sind mit den Invertern 400-450 der Verzögerungsleitung 375 so gekoppelt, daß eine Verzögerung von vierzehn Gattern zwischen den digitalen Pulssignalen an den ersten und den zweiten Eingangsklemmen eines jeden Gatters 620-657 existiert. So sind die Eingangsklemmen des ersten Gatters 620 z.B. mit dem Eingang des Inverters 400 und mit dem Ausgang des Inverters 413 verbunden. Die Eingangsklemmen des zweiten Gatters 621 sind mit den Ausgängen der Inverter 400 und 414 verbunden. Die Eingangsklemmen des dritten Gatters 622 sind mit den Ausgängen der Inverter 401 und 415 verbunden und so fort bis zu den Eingängen des letzten Gatters 657, die mit den Ausgängen der Inverter 436 und 450 verbunden sind. Die Gatter 620, 622, 624 und so fort bis Gatter 656 haben Eingänge, die mit den Ausgängen der geraden Stufen der Verzögerungsleitung 375 verbunden sind; diese Gatter sind UND-Gatter. Die Gatter 621, 623 und so fort bis Gatter 657 haben Eingänge, die mit den Ausgängen der ungeraden Stufen

der Verzögerungsleitung 375 verbunden sind; diese Gatter sind NOR-Gatter.

5 In dem Schaltkreis der FIG. 4 wird die erste Ebene der Gatter 451-492 aktiviert, um die Energieversorgung auf einen ersten Spannungspegel zu laden, der die nominale Betriebs-
spannung übersteigt. Die Gatter 535-574 der zweiten Ebene werden aktiviert, um die Energieversorgung auf einem
10 zweiten, etwas höheren Spannungspegel aufzuladen. Weil die Verzögerung zwischen den Eingangspulsen der Gatter 620-657 der dritten Ebene um zwei Gatter größer ist als die Verzögerung zwischen den Eingangspulsen der Gatter 535-574 der zweiten Ebene, werden die Gatter 620-657 bei einem
15 dritten Spannungspegel aktiviert, welcher geringfügig höher ist als der Pegel, welcher erforderlich ist, um die Gatter 535-574 der zweiten Ebene zu aktivieren. Auf diese Weise erbringt die Drei-Stufen-Regelung eine beständigere Spannungsregelung als die des ersten und des zweiten Grades.

20 Die zweite und dritte Stufe der bevorzugten Ausführungsform des Reglers sind dadurch wirksamer gemacht worden, daß der Wert der Lastwiderstände in jeder Ebene reduziert wurde. So haben die Lastwiderstände der dritten Ebene einen geringeren Wert als die Lastwiderstände der zweiten Ebene, welche
25 wiederum einen geringeren Wert haben als die Lastwiderstände der ersten Ebene. Mit dieser Anordnung regeln die Lastwiderstände der zweiten und dritten Ebene die Versorgungsspannung stärker als die erste Ebene der Lastwiderstände. Im Ergebnis wird eine progressive Regelung selbst
30 dann erreicht, wenn die Gatter der zweiten und dritten Ebene nur sehr kurz aktiviert werden.

In FIG. 5 wird eine Abwandlung der Grundform des erfindungsgemäßen Schaltkreises dargestellt. Die Gatter 752-793 und
35 die entsprechenden Lastwiderstände 793-834, die in der Zeichnung fortlaufend von links nach rechts numeriert sind, enthalten einen Spannungsregler des ersten Grades, der mit

der Verzögerungsleitung 700 verbunden ist und in derselben Weise funktioniert, wie mit Bezug auf FIG.1 beschrieben wurde. Allerdings sind in dieser Abwandlung eine Anzahl der seriell verbundenen Inverter, welche die Verzögerungsleitung 700 bilden, durch NAND-Gatter ersetzt. Speziell die in FIG 1 enthaltenen Inverter 50, 52, 54, 56, 58 und 60 sind durch die NAND-Gatter 741, 743, 745, 747, 749 und 751 ersetzt. Daher sind die letzten elf Stufen der Verzögerungsleitung 700 abwechselnd NAND-Gatter und Inverter. Ein Eingang eines jeden NAND-Gatters 741, 743, 745, 747, 749 und 751 ist mit dem Ausgang des jeweils vorhergehenden Inverters 740, 742, 744, 746, 748 und 750 verbunden. Der andere Eingang eines jeden NAND-Gatters 741, 743, 745, 747, 749 und 751 ist mit dem Eingang 3 der Verzögerungsleitung 700 verbunden.

Wenn in dieser Ausführungsform ein Strompuls am "Kopf" der Verzögerungsleitung 700 eingegeben werden soll, bevor der vorangehende Strompuls das "Hinterteil" der Verzögerungsleitung vollständig passiert hat, wird der vorangehende Puls gelöscht, indem die Ausgänge des NAND-Gatters niedrig gehalten werden, so daß sie keines der letzten elf Gatter 782-793 aktivieren können. Diese Modifikation kompensiert Abweichungen in der Frequenz des Strompulses, der von dem Steuerlogikschaltkreis 7 ausgegeben wird und gestattet es, diesen Schaltkreis, der eine Ausführungsform der Erfindung verkörpert, in einem weiten Feld von Arbeitsbedingungen zu verwenden.

Eine andere Variation der Erfindung ist die Verwendung eines CMOS-Oszillators, wie in FIG. 6 dargestellt, anstelle des vorher beschriebenen Taktsignalgenerators und des oben beschriebenen Spannungsreglers. Es wurde festgestellt, daß ein Oszillator 900, bestehend aus mehreren CMOS-Invertern, Strom in einem annähernd quadratischen Verhältnis zu den Veränderungen in der Betriebsspannung verbraucht, zumindest über die typische Funktionsbreite der CMOS-Geräte. Mit anderen Worten, wenn sich die Betriebsspannung verdoppelt,

wird sich der vom Oszillator 900 verbrauchte Strom sich annähernd vervierfachen.

5 Allerdings muß festgestellt werden, daß ein Oszillator, der
die gleiche Anzahl von Ebenen hat wie einer der beschrie-
benen Schaltkreise, nicht annähernd so viel Strom über
seinen normalen Funktionsbereich hinaus verbraucht, wie die
Gatter und Lastwiderstände in den zuvor beschriebenen
10 Schaltkreisen. Daher kann der Oszillator als Regler nur in
Schaltkreisen nützlich sein, die für einen bedeutend
geringeren Stromverbrauch ausgelegt sind. In größeren
Schaltkreisen müßte der Oszillator, um genügend Strom für
einen angemessenen Regelungseffekt zu leiten, eine bedeutend
15 größere Anzahl von Stufen haben, als die zuvor beschriebenen
Ausführungsformen. Folglich ist der Oszillator eine weniger
zu bevorzugende Alternative für derartige Anwendungen.

Wenn technische Merkmale in den Ansprüchen mit Bezugszeichen
versehen sind, so sind diese Bezugszeichen lediglich zum
20 besseren Verständnis der Ansprüche vorhanden. Dementspre-
chend stellen solche Bezugszeichen keine Einschränkungen des
Umfangs solcher Elemente dar, die Beispielsweise durch sol-
che Bezugszeichen gekennzeichnet sind.

25

30

35

PATENTANSPRÜCHE

EP 87114416.8

1. Ein digitaler Taktsignalgenerator und eine Spannungsreglerschaltung, mit:

5 einer Generatorvorrichtung (5) zur Erzeugung von Taktsignalen, die eine Taktrate aufweisen, die umgekehrt proportional zum Pegel einer Betriebsspannung (V_{REG}) einer mit der Generatorvorrichtung (5) verbundenen nicht-idealen Stromquelle (2) ist; und

10 einer Vorrichtung (6), die mit der Generatorvorrichtung (5) verbunden ist und in Abhängigkeit von der Taktrate die nicht-ideale Stromquelle (2) mit Strom auflädt, wenn die Betriebsspannung (V_{REG}) eine gewünschte Schwelle übersteigt, dadurch gekennzeichnet, daß die Generatorvorrichtung (5) zur
15 Erzeugung von Taktsignalen eine Vorrichtung (10-60) zur verzögerten Ausbreitung von Signalen aufweist, bestehend aus einer Verzögerungsleitung, deren Laufzeit sich umgekehrt proportional zum Pegel der Betriebsspannung V_(REG) verhält.

20 2. Die Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß die Vorrichtung (6) zur Stromaufladung

Gattereinrichtungen (61-102) aufweist, die mit der Generatorvorrichtung (5) verbunden sind, um die Taktsignale zu empfangen, wobei die Gattereinrichtungen (61-102) dann
25 aktiviert werden, wenn die Taktrate der Signale geringer als ein vorherbestimmter Minimalwert ist; und

Lasteinrichtungen (103-144), die mit den Gattereinrichtungen verbunden sind, um bei Aktivierung der Gattereinrichtungen (61-102) die Betriebsspannung (V_{REG})
30 aufzuladen.

3. Die Schaltung nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Gattereinrichtungen (61-102) aus einer Mehrzahl von
35 Gatterebenen bestehen, die mit der Generatorvorrichtung (5) verbundene Eingänge aufweisen, so daß jede Gatterebene durch einen verschiedenen vorherbestimmten Wert der Betriebsspan-

nung (VREG) aktiviert wird; und daß die Lasteinrichtungen (103-144) aus einer Mehrzahl von Lastebenen bestehen, die mit der Mehrzahl von Gatterebenen korrespondieren.

5 4. Die Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß die Vorrichtung (6) zur Stromaufladung Gattereinrichtungen (61-102) aufweist, die mit der Vorrichtung (10-60) zur Ausbreitung derart verbunden sind, daß sie sowohl die Taktsignale als auch die durch die
10 Laufzeit der Vorrichtung (10-60) zur Ausbreitung durch ein Zeitintervall versetzten Taktsignale empfangen, wobei die Gattereinrichtungen (61-102) dann aktiviert werden, wenn das Zeitintervall zwischen den Signalen und den versetzten Signalen geringer als ein vorherbestimmter Wert ist; und
15 Lasteinrichtungen (103-144), die mit den Gattereinrichtungen verbunden sind, um die Betriebsspannung (VREG) bei Aktivierung der Gattereinrichtungen aufzuladen.

20 5. Die Schaltung nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Gattereinrichtungen (61-102) und die Lasteinrichtungen (103-144) derart angeordnet sind, daß sie die Betriebsspannung (VREG) progressiv laden, wenn die Betriebsspannung (VREG) einen vorherbestimmten Wert überschreitet.

25 6. Die Schaltung nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Gattereinrichtungen (61-102) eine Mehrzahl von Gattern, und daß die Lasteinrichtungen (103-144) eine Mehrzahl von
30 Lastwiderständen einschließen.

7. Die Schaltung nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß sie ferner einen Steuerlogikschaltkreis (7) enthält, der über
35 Logikeinrichtungen verfügt, um digital kodierte Spannungs- und Taktsignale (V_{IN}) zu erzeugen, wobei die nicht-ideale Stromquelle (2) die digital kodierte Signale (V_{IN}) empfängt

und von ihnen die Betriebsspannung (V_{REG}) ableitet.

8. Die Schaltung nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Verzögerungsleitung (5) eine Mehrzahl von Stufen aufweist.

9. Die Schaltung nach einem oder mehreren der Ansprüche 6-8, dadurch gekennzeichnet, daß die Mehrzahl von Gattern Eingänge hat, die mit ausgewählten Stufen der Verzögerungsleitung (5) verbunden sind, um ausgewählte Taktsignale zu empfangen, wobei die Gatter dann aktiviert werden, wenn die ausgewählten Taktsignale sich überlappen, und daß die korrespondierende Mehrzahl von Lastwiderständen mit den Ausgängen der Mehrzahl von Gattern verbunden ist, um die Betriebsspannung (V_{REG}) aufzuladen, wenn diese Gatter zur Regelung der Betriebsspannung (V_{REG}) aktiviert werden.

10. Die Schaltung nach einem oder mehreren der Ansprüche 1-9, dadurch gekennzeichnet, daß die Verzögerungsleitung (5) Mittel aufweist, um jederzeit die Ausbreitung von mehr als einem Signal in der Leitung zu verhindern.

11. Die Schaltung nach einem oder mehreren der Ansprüche 8-11, dadurch gekennzeichnet, daß die Eingänge der Mehrzahl der Gatterebenen der Gattereinrichtungen (61-102) derart mit ausgewählten Stufen der Verzögerungsleitung (5) verbunden sind, daß die Gatter sequentiell aktiviert werden.

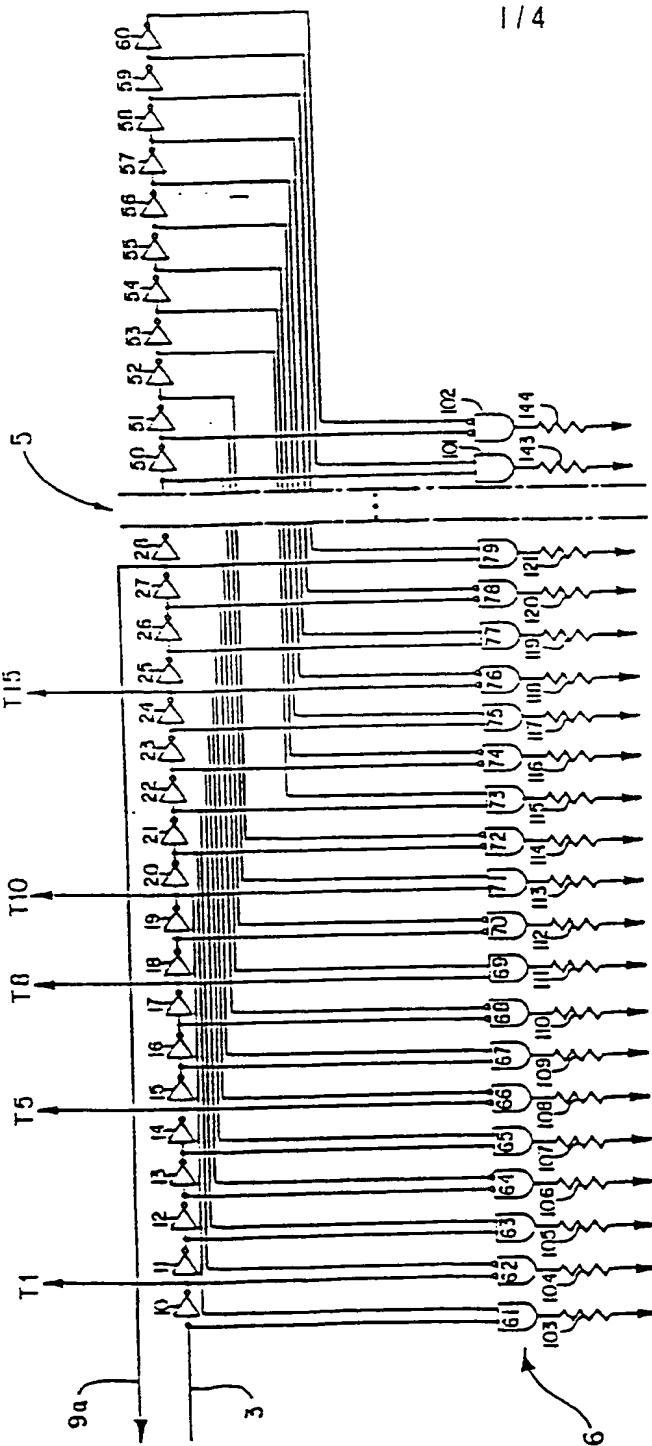
12. Die Schaltung nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Vorrichtung (6) zur Stromaufladung zunehmend Strom in Abhängigkeit von der Erhöhung der Betriebsspannung (V_{REG}) verbraucht, um die Betriebsspannung (V_{REG}) zu regeln.

13. Die Schaltung nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Vorrichtung (6) zur Stromaufladung zunehmend Strom in einem

annähernd quadratischen Verhältnis zur Erhöhung der Betriebsspannung (V_{REG}) verbraucht.

87 11 4416, 8

FIG. 2



1/4

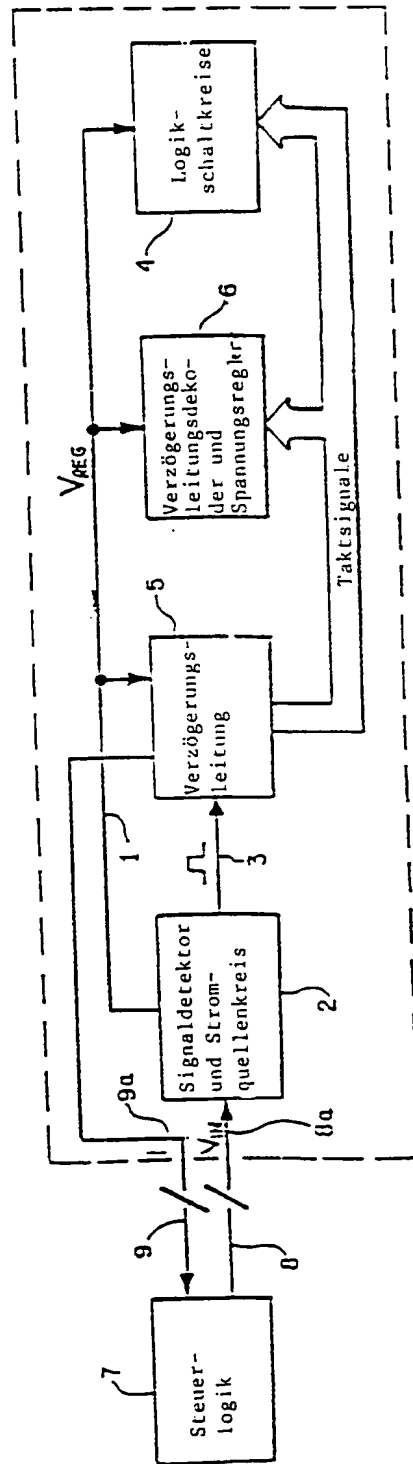
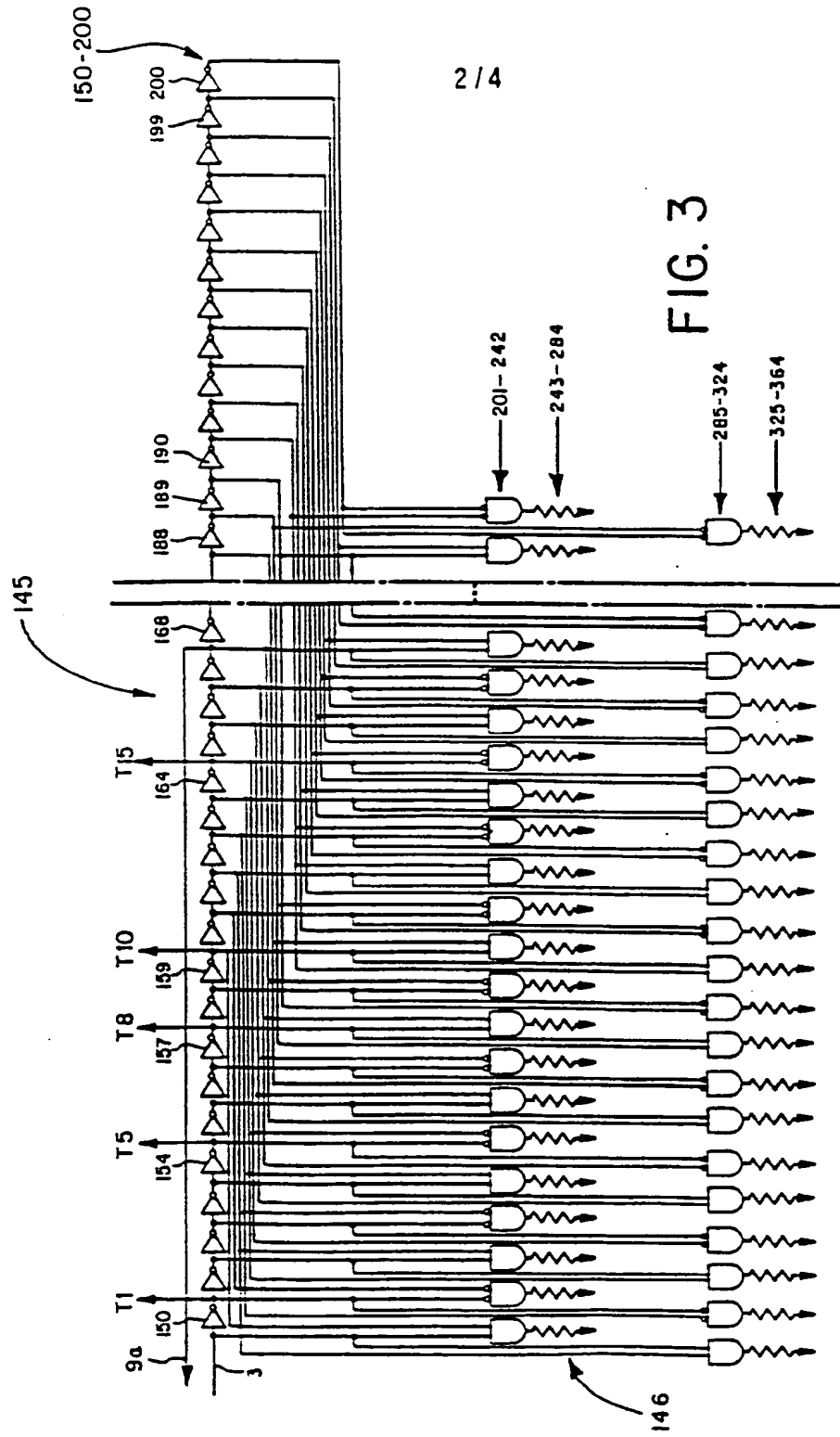
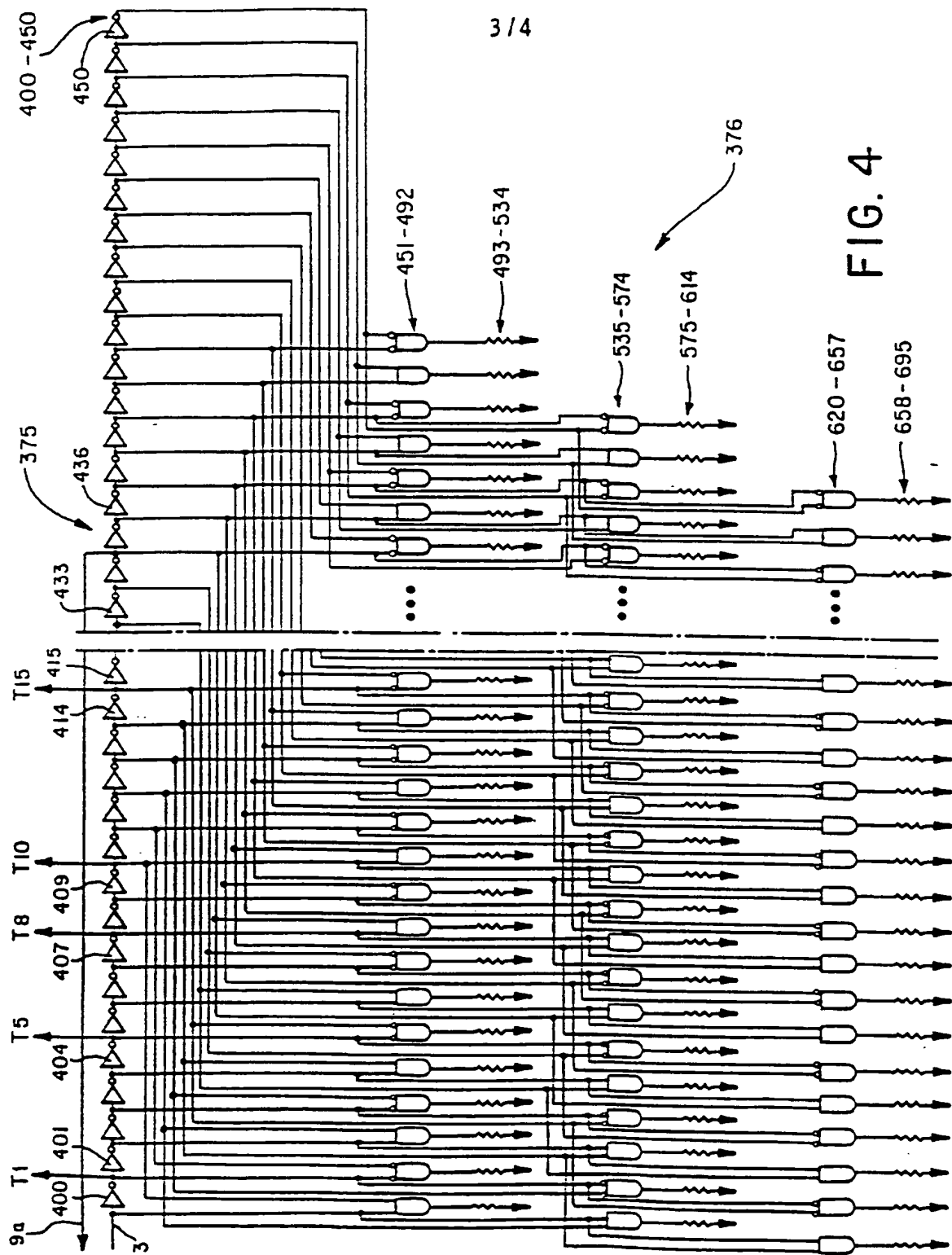


FIG. 1





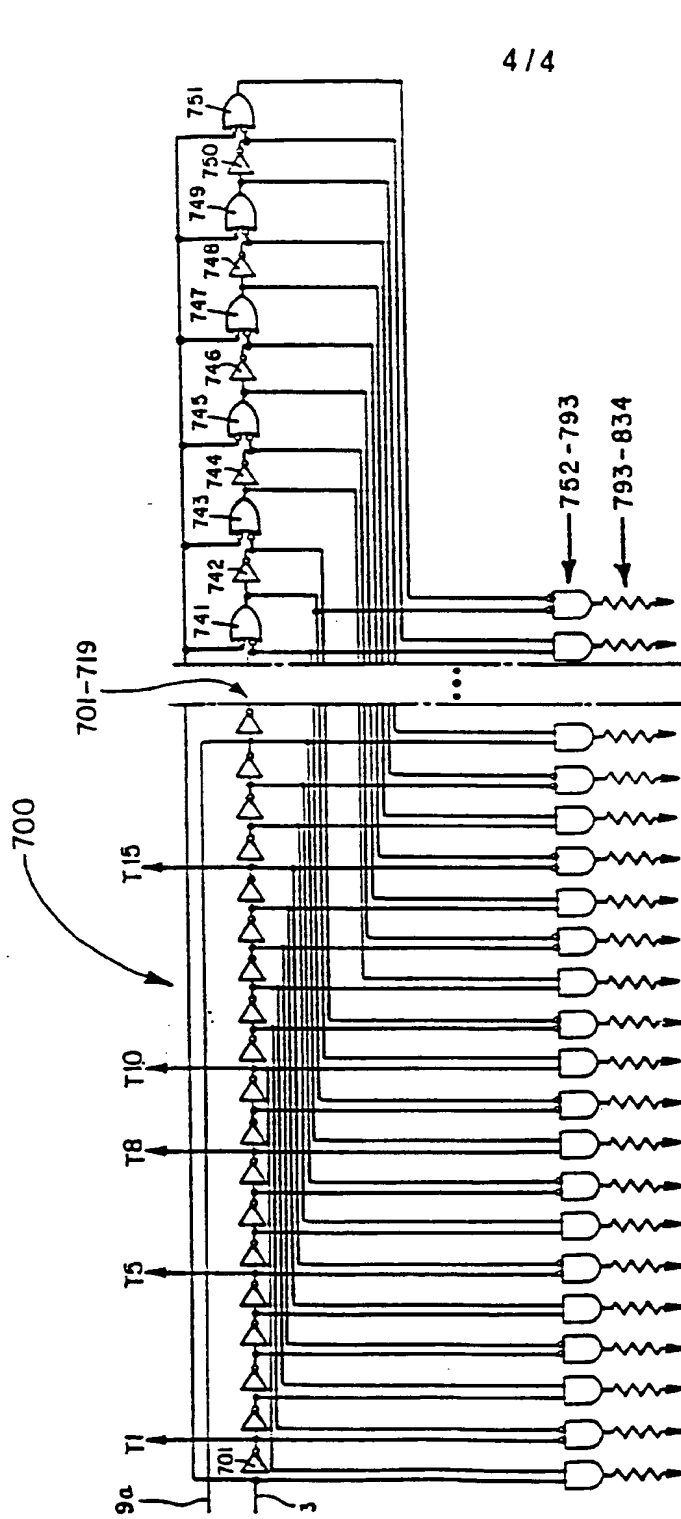


FIG. 5

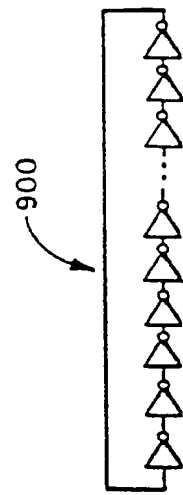


FIG. 6

AN: PAT 1988-113901
TI: Digital timing signal generator for voltage regulator
circuit produces operating voltage regulated in response to
relationship of timing signals using delay line and associated
logic gates
PN: EP264691-A
PD: 27.04.1988
AB: Timing signals are generated having a relationship related
to the level of an operating voltage. In response to the timing
relationship, the operating voltage is regulated. The timing
signal generating circuit pref. comprises a delay line (5) for
propagating a signal to generate timing signals at a rate
related to the level of the operating voltage. The loading
circuit pref. includes a gate circuit for receiving the timing
signals to be activated when the timing relationship between
the signals is less than a given min. value. The operating
voltage is loaded when the gate circuit is activated.; Generate
multiphasic timing signals while regulating operating or supply
voltage of circuit.
PA: (ABBO) ABBOTT LAB;
IN: DAVIS C L;
FA: EP264691-A 27.04.1988; AU8779887-A 28.04.1988;
CA1284826-C 11.06.1991; **DE3786741**-G 02.09.1993;
EP264691-B1 28.07.1993; ES2043628-T3 01.01.1994;
JP63121315-A 25.05.1988; US5077488-A 31.12.1991;
CO: AT; AU; BE; CA; CH; DE; EP; ES; FR; GB; IT; JP; LI; NL; US;
DR: AT; BE; CH; DE; ES; FR; GB; IT; LI; NL;
IC: G04G-003/00; G05F-001/46; H03K-003/86; H03K-005/15;
H03K-017/29; H03K-019/003; H03L-005/00;
MC: U13-C02A; U22-A04A3; U22-B02; U22-D06; U24-E02B;
DC: U13; U22; U24;
FN: 1988113901.gif
PR: US0922389 23.10.1986; US0319883 03.03.1989;
FP: 27.04.1988
UP: 01.01.1994

